

# Верификация библиотеки цифровых примитивов изготовленной на гетероструктурах GaAs по технологии 0.25 мкм на транзисторах D-типа.

А.Х. Курбанов, Б.В. Калинин

ООО «Микровейв АйСи», г. Санкт-Петербург

**Аннотация:** в данной работе рассматриваются цифровые примитивы как основные строительные блоки современных цифровых систем. Цифровые примитивы, включая логические вентили, триггеры, дешифраторы и другие компоненты, играют ключевую роль в проектировании и реализации сложных IP-блоков. Статья описывает процесс верификации основных типов цифровых примитивов, их функциональные и электрические характеристики.

**Ключевые слова:** арсенид галлия, GaAs, цифровые примитивы, верификация библиотеки, транзисторы D-типа, БЛПТ, BFL.

## 1. Введение

Цифровые примитивы (ЦП) — базовые элементы в области цифровой электроники на аппаратном уровне. Они используются для создания более сложных цифровых устройств и представляют собой простейшие логические элементы или операции, из которых будут строиться законченные IP-блоки.

Верификация ЦП является важной составляющей создания библиотеки примитивов. В данной статье описана верификация третьей версии (см рис.1) нашей библиотеки, описанной в предыдущих работах [1, 2].

MWIC Library/Control		MWIC Library/Devices		MWIC Library/Interfaces		MWIC Library/Primitives	
Models	Description	Models	Description	Models	Description	Models	Description
BoostSing	Booster Single VSS GND ver.A1	FlipFlop	FlipFlop ver.A1	TTL Down	TTL/CMOS -> Inner ver.A1	2Buf	Double Buffer ver.A1
BoostDiff	Booster Differential VSS GND ver.A1	Encoder	2 Bit Encoder ver.A1	LVTL Down	LVTL/LVCMOS -> Inner ver.A1	NOT	NOT ver.A1
CTRL_AK	Control system AK (with pullup) ver.A2	Deseriali...	1 Bit Deserializer ver.A1	Invert Inner Down	Inner -> 0/-3.6V ver.B1	2NAND	2NAND ver.A1
CTRL_LN	Control system LN GND VSS ver.A1	1DAC	1 Bit DAC ver.A1	LVDS Down	LVDS -> Inner ver.A1	3NAND	3NAND ver.A1
		8ADC	8 Bit ADC ver.A1	TTL Up	Inner -> TTL/CMOS ver.A1	XOR	XOR ver.A1
						2NOR	2NOR ver.A1

Рисунок 1. Библиотека цифровых примитивов

Проверка работы ЦП включает в себя не только тестирование функциональности, анализа временных характеристик, но и совместимости с другими примитивами и компонентами. В условиях растущих требований к производительности и надежности, эффективные методы верификации становятся необходимыми для обеспечения качества проектируемых систем.

В данной работе рассматриваются основные типы ЦП, их функциональные особенности, методы проверки работы, симуляцию и тестирование.

## 2. Базовые цифровые примитивы и их функциональность.

Классическими ЦП являются - **AND** (И), **OR** (ИЛИ), **NOT** (НЕ), **NAND** (НЕ-И), **NOR** (НЕ-ИЛИ), **XOR** (исключающее ИЛИ), **XNOR** (исключающее НЕ-ИЛИ)

Эти элементы принимают на вход бинарные сигналы (0 или 1) и выдают на выходе результат логической операции. В силу меньшей занимаемой площади и тока потребления, на практике чаще всего применяются следующие цифровые примитивы: **NOT**, **NAND**, **NOR**, **XOR**.

В библиотеке используются электрические схемы на основе Буферизированной Логике на Полевых Транзисторах (**БЛПТ**, **BFL** – Buffered FET Logic), широко описанные в литературе [3, 4, 5]. Все ЦП скомбинированы по одинаковой структуре, которая показана на рис.2.

Входное напряжение блока логической функции и её выходное значение не совпадают по уровням напряжений. Чтобы это скорректировать, к блоку логической функции добавляется буфер. Буфер усиливает нагрузочную способность и приводит уровни выходного напряжения логической функции к её входным значениям.



**Рисунок 2.** Общая функциональная схема всех цифровых примитивов.

В данной статье описана верификация следующих элементов библиотеки:

- Базовые вентили (NOT, 2NOR, 2NAND, 2XOR);
- Двухканальный буфер (2buff);
- Синхронный триггер (FF);
- Дешифратор 2 в 4 (Encoder);
- Трансляторы уровней (NLDS, LDS).

Таблицы истинности логических элементов показаны в табл. 1 и 2.

**Таблица 1.** Таблица истинности логических элементов.

Входные сигналы		Простая логика				
In2	In1	Buf	NOT (НЕ)	NAND (И-НЕ)	NOR (ИЛИ-НЕ)	XOR (См.Мод.ИЛИ)
0	0	0	1	1	1	0
0	1	1	0	1	0	1
1	0			1	0	1
1	1			0	0	0

**Таблица 2.** Таблица истинности синхронного D-триггера (а) и дешифратора (б).

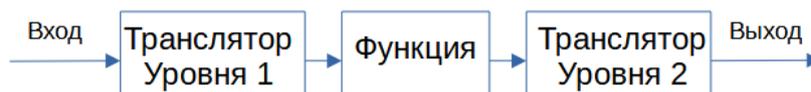
Flip-Flop (Синхронный D-триггер)			
CE	Data	CLK	Out
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(а)

Входные сигналы		Encoder (Дешифратор)			
In2	In1	Out3	Out2	Out1	Out0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

(б)

Общая структура любого законченного, логического устройства или IP-блока, которое собранно из цифровых примитивов, показано на рис.3.



**Рисунок 3.** Общая функциональная схема всех законченных устройств.

Описание устройства:

*Транслятор уровня 1* – преобразует входные уровни напряжения во внутренние напряжения работы логики +0.8В (1), -0.8В (0).

Блок *Функция* – содержит набор логических примитивов и при необходимости буферы, если требуется усилить выходной ток логики, для повышения нагрузочной способности.

*Транслятор уровня 2* – преобразует уровни напряжения внутренней логики в

требуемое выходное напряжение (0/-3В, для управления внутренними СВЧ ключами; +3.3/0В, для передачи на выход внешнего устройства).

Основные логические вентили (**NOT**, **NOR**, **NAND**), состоят из 5 транзисторов. Минимальный размер ЦП – 25.5x95  $\mu\text{m}$  (1U). При проектировании библиотеки топологий ЦП важно соблюдать несколько геометрических правил:

- все вентили одинакового размера по вертикали - это упрощают компоновку;
- шины питания у всех вентилях располагаются в одном месте, и их сечение рассчитано на ток, который потребляют 15-20 вентилях;
- входы и выходы располагаются как можно ближе к горизонтальной оси примитива - это упрощает трассировку между элементами;
- точка привязки у всех вентилях находится в одном месте (левый нижний угол);
- все вентили и пины, должны попадать в одну сетку.

Следование этим правилам разработки ЦП помогает создавать качественные компоненты, которые будут легко интегрироваться в более сложные системы. Примеры внешнего вида ЦП и пример справочной информации по ним показаны на рис.4 и 5.

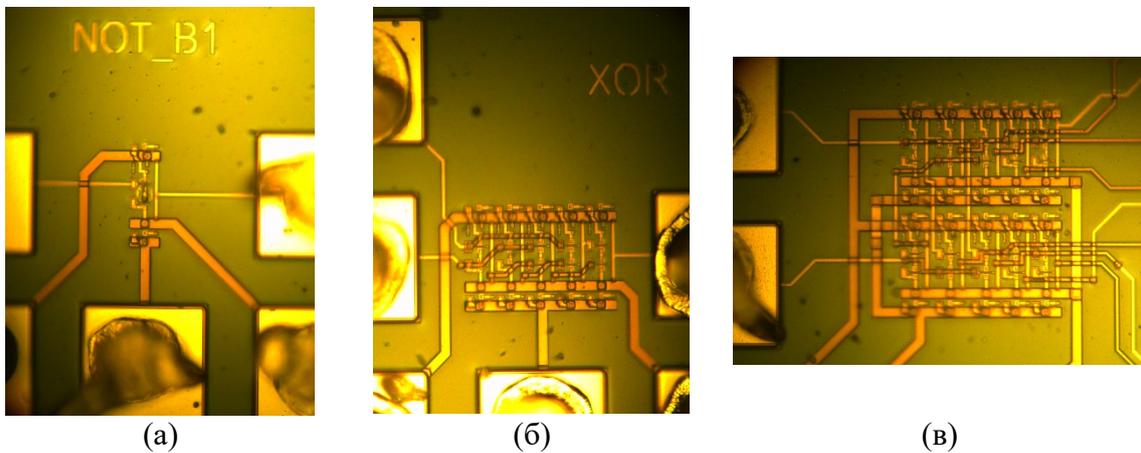


Рисунок 4. Фото примитивов: **NOT** (а) – 1U, **XOR** (б) – 5U, **Encoder** (в) – 10U.

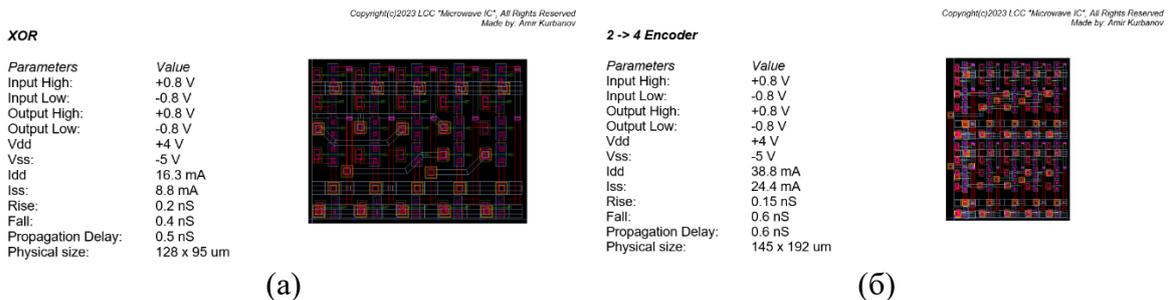


Рисунок 5. Справочная информация по цифровым примитивам: **XOR** (а), **Encoder** (б).

### 3. Функциональная верификация цифровых примитивов.

Для верификации работоспособности ЦП необходимо провести следующие тесты: по функционалу (рис. 6 и 7), по потреблению, по нагрузочной способности, на межвентильную совместимость.

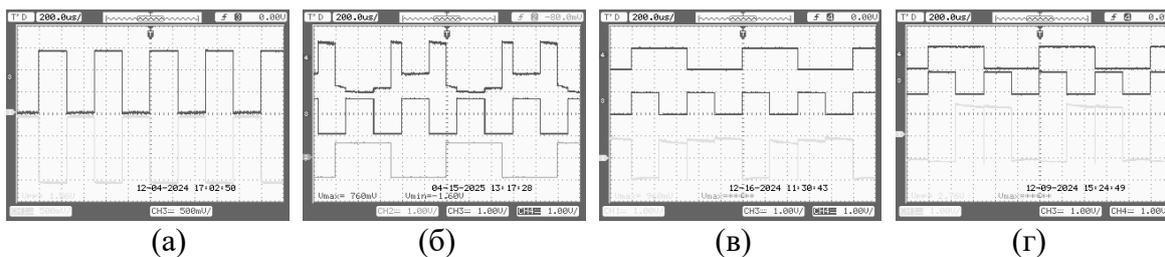


Рисунок 6. Функциональная проверка: NOT (а), NOR (б), NAND (в), XOR (г)

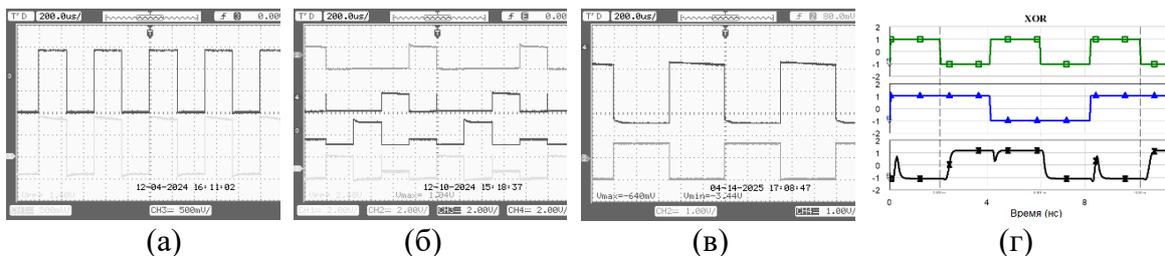


Рисунок 7. Функциональная проверка: Buff (а), Encoder (б), NLDS (в), расчётные значения примитива XOR (г).

Расчётные нагрузочные значения составляют 1:3 для клапанов и 1:6 для буфера, что подтверждается корректной работой дешифратора (**Encoder**).

В дальнейшем предстоит дополнить верификацию тестами: по времени срабатывания, по температуре, на быстрдействие, на надёжность.

#### 4. Сравнение энергетических расчётных значений с результатами измерения

Входное и выходное напряжение внутреннего интерфейса ЦП составляет +0.8В (1) и -0.8В (0), за исключением трансляторов уровней.

Сравнение электрических характеристик ЦП показало высокую степень совпадения расчётных и измеренных, смотрите табл. 3 и 4.

Таблица 3. Электрические параметры цифровых примитивов.

Параметр	Величина	Цифровые примитивы							
		NOT		NOR		NAND		XOR	
		D	M	D	M	D	M	D	M
I <sub>dd</sub>	mA	1.8	2.1	3.4	3.5	3.1	3	16.3	15.6
I <sub>ss</sub>	mA	1.8	1.9	1.7	1.9	1.8	2	8.8	9.5
Rise	ns	0.8		0.15		0.15		0.2	
Fall	ns	0.8		0.45		0.3		0.4	
Propagation Delay	ns	0.3		0.45		0.2		0.5	
In 1	V	+0.8	+0.8						
In 0	V	-0.8	-0.8						
Out 1	V	+0.8	+1.4		+0.76		+0.8		+1.3
Out 0	V	-0.8	-1.12		-1.6		-0.8		-1
V <sub>dd</sub>	V	+4							
V <sub>ss</sub>	V	-5							

Таблица 4. Электрические параметры цифровых примитивов.

Параметр	Величина	Логические устройства				Буфер		Транслятор уровней			
		Encoder		FF		2Buff		NLDS		LDS	
		D	M	D	M	D	M	D	M	D	M
I <sub>dd</sub>	mA	38.8	35	70.5	56	3.5	3.9	3.8	3.6	0	0
I <sub>ss</sub>	mA	24.4	26.2	50.6	43.5	3.5	3.9	2.3	2.7	1.7	2.2
Rise	ns	0.15		0.2		0.15		0.3		0.5	
Fall	ns	0.6		0.4		0.15		0.2		0.5	
Propagation Delay	ns	0.6		0.6		---		0.3		0.5	
In <sub>1</sub>	V	+0.8								+3.3	
In <sub>0</sub>	V	-0.8								0	
Out <sub>1</sub>	V	+0.8	+0.8		+1		+0.72	-0.2	-0.2	+1.2	-0.2
Out <sub>0</sub>	V	-0.8	-0.8		-1.2		-0.8	-3.6	-3.6	-1.4	-1.8
V <sub>dd</sub>	V	+4									
V <sub>ss</sub>	V	-5									

Колонка в таблице D - расчётное значение, M – измеренное значение.

Входной транслятор уровня LVTTTL → Inner (LDS), верификацию не прошёл по значению выходного верхнего уровня (1). Триггер (FF) на данный момент находится в процессе верификации.

#### 4. Заключение

Верифицированная библиотека цифровых примитивов является важным инструментом в арсенале разработчиков цифровых систем. Она упрощает процесс проектирования, ускоряет разработку и повышает надежность конечных продуктов. Современные инструменты автоматизированного проектирования (САПР) часто включают обширные подобные библиотеки, что со временем делает их доступными для широкого круга пользователей — от студентов до профессиональных инженеров. Полная верификация цифровых примитивов является неотъемлемой частью создания качественной библиотеки.

#### Список литературы

1. А. Курбанов, Б. В. Калинин “Разработка высокоскоростного цифрового десериализера на транзисторах E-типа, на гетероструктурах арсенида галлия” // Всероссийская научно-техническая конференция «Электроника и микроэлектроника СВЧ» - 2023 стр. 464 – 468.
2. А. Курбанов, И. Л. Хеглунд, Б. В. Калинин “Особенности разработки высокоскоростных цифровых примитивов на GaAs на примере разработки высокоскоростного делителя частоты по технологии 0.25 мкм” // Всероссийская научно-техническая конференция «Электроника и микроэлектроника СВЧ» - 2024 стр. 570 – 574.
3. A. Benini, B. Pasciuto, W/ Ciccognani, E. Limiti, A. Nanni, P. Romamini “Design and Realization of GaAs digital Circuit for Mixed Signal MMIC Implementation in AESA Applications” // International Journal of Microwave Science and Technology – 2011 – 11 pages.
4. C. Ramella, M. Estebasari, A. Nasri, M. Pirola “GaAs-Based Serial-Input-Parallel-Output Interfaces for Microwave Core-Chips” // MDPI electronics – 2021.
5. X. Yanyang, Z. Xiaoguang, H. Jingchen “Direct Coupled Fet Logic (DCFL) Circuit for GaAs Applications” // IEEE – 1998 – p. 913-916.