

Особенности разработки высокоскоростных цифровых примитивов на GaAs на примере разработки высокоскоростного делителя частоты по технологии 0.25 мкм

А.Х. Курбанов, И.Л. Хеглунд, Б.В. Калинин

ООО «Микровейв АйСи»

Аннотация: в данной работе исследовалась возможность реализации высокоскоростного делителя частоты на GaAs в виде МИС. Приведены особенности разработки данного устройства, включая выбор логики работы и построение устройства при помощи примитивов. Смоделированы основные зависимости работы устройства. Определены основные характеристики разработанного устройства.

Ключевые слова: высокочастотный, делитель частоты, арсенид галлия, высокоскоростные цифровые примитивы

1. Введение

Возможность реализации цифровых устройств на монолитной интегральной схеме при помощи примитивов, которые были представлены в предыдущем исследовании [1] позволит уменьшить размер и цену изделия, а также разрабатывать более сложные устройства, использующие в своем составе как стандартные СВЧ модули, так и цифровые устройства. В данной работе исследуется возможность реализации делителя частоты на четыре, в диапазоне, по технологии GaAs рHEMT0.25 мкм. Производится оценка основных его параметров, таких как: рабочий диапазон частот, габаритные размеры, максимальная скорость и другие. Также описывается выбор комбинации примитивов, использующийся при разработке устройства.

2. Выбор схемы и реализация основных модулей

Для реализации делителя частоты требуется разработать счетный Т-триггер, который возможно собрать из двух RS-триггеров. Для корректной работы логики счётного Т-триггера, на входы R и S, подается сигнал с его выхода. Основная проблема при разработке частотного делителя состоит в сокращении задержки распространения и задержки по цепи обратной связи, а также количество каскадов в Т-триггере.

Задержка распространения ($t_1 + t_2$) в счётном Т-триггере (рис.1), является критически важной для обеспечения максимально возможной рабочей частоты делителя. Если величину минимального периода входной частоты принять за T, то T не может быть меньше, чем сумма задержек распространения в каждом RS-триггере (t_1, t_2) и задержки в цепи обратной связи (t_3):

$$T > t_1 + t_2 + t_3 \quad (1)$$

Если это условие не выполняется, т.е. Т-триггер срабатывает за один такт, то логика работы триггера нарушается, и в этом случае устройство работает некорректно.

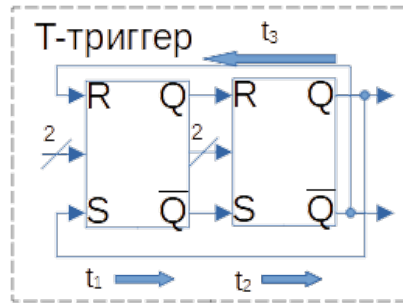


Рисунок 1. Счётный Т-триггер.

Обычно подобные схемы реализуются по КМОП технологии, но в данной работе поставлен вопрос принципиальной возможности реализации цифровых примитивов на GaAs технологии.

В качестве схематического решения было принято реализация всего тракта частотного делителя при помощи дифференциальной логики. Данный выбор обусловлен рядом преимуществ:

1. Скорость работы прибора в дифференциальной логике слабо зависит от амплитуды входного сигнала, так как срабатывание происходит не от величины амплитуды входного сигнала, а при смене полярности сигнала.
2. Дифференциальная логика менее критична к нагрузочной способности прибора.
3. Ток потребления дифференциальной логики постоянен, что снижает шумовую составляющую по цепи питания в момент срабатывания.

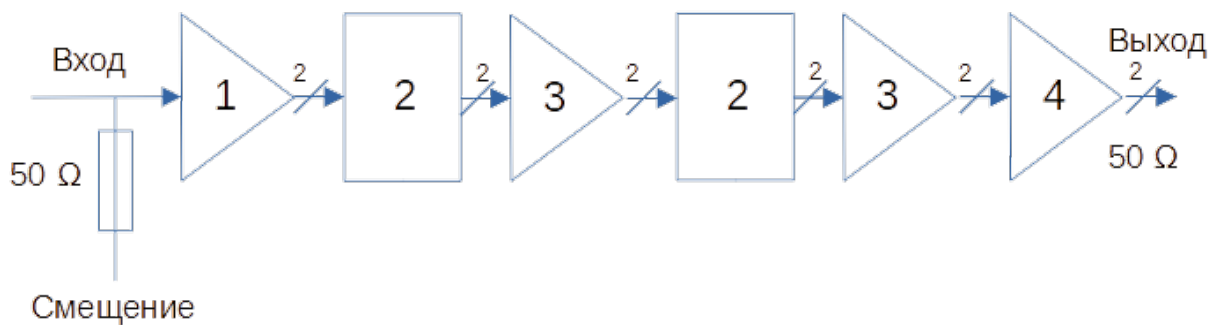


Рисунок 2. Функциональная схема делителя частоты

Описание устройства:

1. Цепь смещения (рис.2) согласует входной СВЧ сигнал с внутренним высокоимпедансным входом частотного делителя, что уменьшает КСВ по входу.
2. Входной буфер (рис.2 (1)) отвечает за преобразование входного сигнала в дифференциальный и смещение среднего значения уровня входного сигнала.
3. Счётный Т-триггер (рис.2 (2)) обеспечивает деление сигнала на 2.
4. Драйвер (рис.2 (3)) усиливает выходной сигнал Т-триггера.
5. Выходной драйвер (рис.2 (4)) согласует внутреннее сопротивление делителя частоты с 50-омной линией, что уменьшает КСВ по выходу.

Наиболее критичной является работа первого Т-триггера, так как работа данного

триггера происходит на максимальной частоте. При трассировке топологии устройства, работающего на высоких частотах, очень важно следить за минимизацией паразитных ёмкостей, индуктивностей и взаимных индуктивностей между проводниками.

3. Результаты моделирования делителя частоты

Выбранное схемотехническое решение моделировалось в САПР. На рисунке 3, показаны графики моделирования делителя частоты и ток потребления при входной мощности 0 дБм и температуре 22 С°.

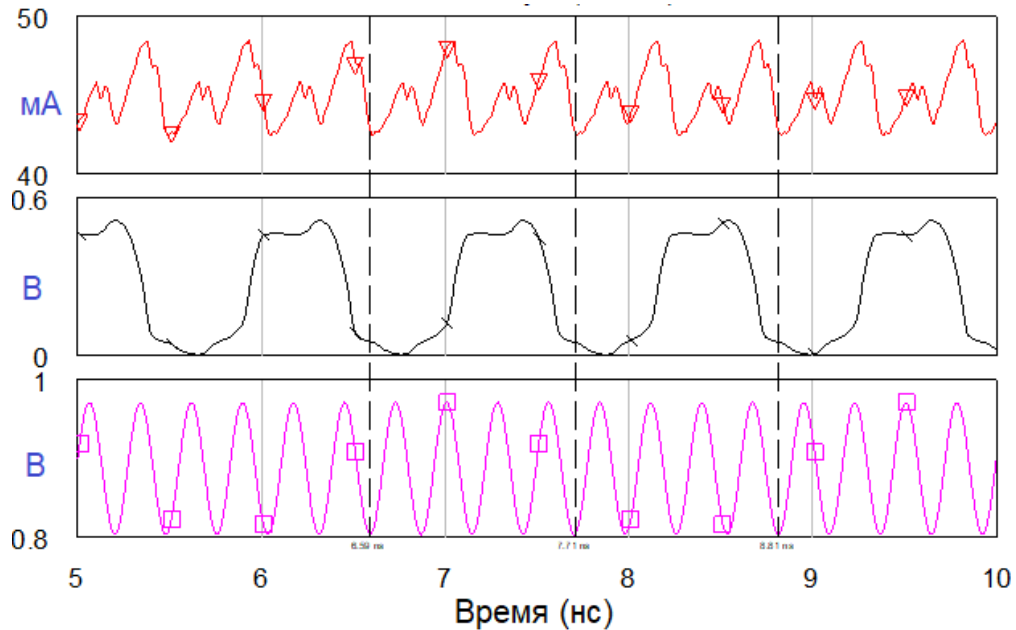


Рисунок 3. Сверху вниз: ток потребления, выходной сигнал, входной сигнал

Расчётные значения делителя частоты показывают слабую зависимость от температуры (рис. 4) при входной мощности 0 дБм, и входной мощности (рис. 5) при температуре 22 С°, что говорит о высокой помехозащищённости данного схемотехнического решения.

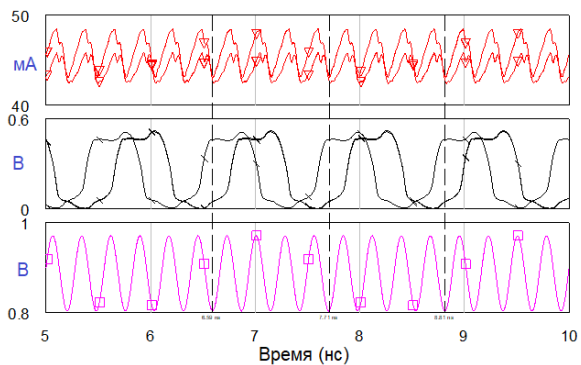


Рисунок 4. Зависимость от температуры (-65, 22, 85 С°)

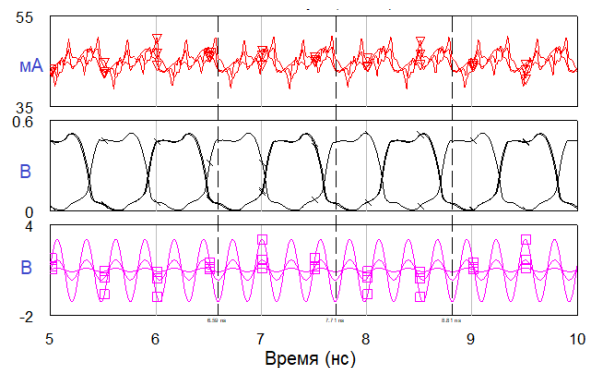


Рисунок 5. Зависимость от входной мощности (-5, 10, 20 дБ)

Влияние разброса технологических параметров (рис. 6) при температуре 22 С° и входной мощности 0 дБм, так же слабо влияет на работоспособность, что говорит о высоком выходе годных устройств, вне зависимости от того на каком месте на пластине будет расположено устройство.

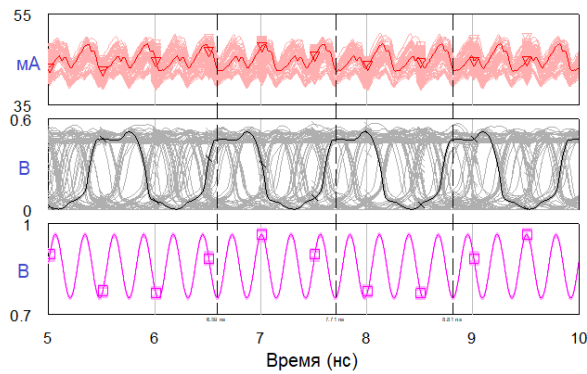


Рисунок 6. Влияние разброса параметров технологии

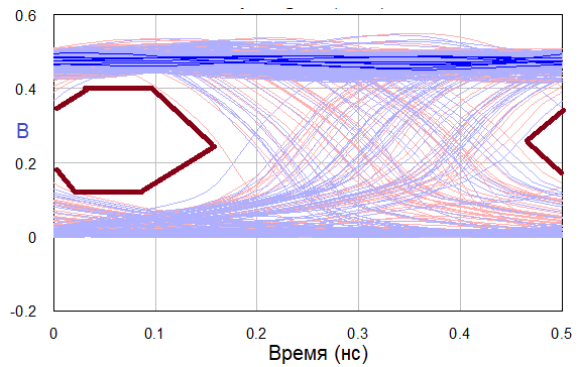


Рисунок 7. Глаз-диаграмма выходного сигнала на псевдослучайной последовательности (128 символов, 16 сэмплов)

При том, что данный делитель частоты не предназначен для работы с непериодическим сигналом, на глаз-диаграмме (рис. 7), построенной на 128 символьной случайной последовательности на частоте 4 ГГц, видно, что цифровые примитивы, из которых собран делитель частоты имеют хороший запас по быстродействию.

Ниже указаны основные характеристики цифровых примитивов, по сравнению с прежними цифровыми примитивами, разработанными за полтора года:

Таблица 1. Расчётные значения двух D-триггеров

Версия цифровой схемотехники	1	2	3	4 (diff)	Ед. изм.
Кол-во транзисторов/диодов	60/0	48/120	114/0	32/8	шт.
Ток +/-	120/0	21.3/0	25/18	7	мА
Напряжение питания	+4	+4	+4/-4	+5	В
Задержка распространения	73	10	2.3	0.52	нс
Время Фронта/Спада	22/16	3/3	0.2/0.2	0.2	нс
Максимальная скорость	5	67	1000	4000	Мб/с
Габариты	---	1.3x0.3	0,38x0,19	0.38x0.08	мм

Получившиеся размеры делителя частоты 0.6x0.08 мм. В таблице 1 можно увидеть существенное улучшение параметров тока, задержки распространения, частоты, габаритов в четвертой версии, что вполне устраивает.

На рисунке 8 представлена итоговая топология частотного делителя на четыре.

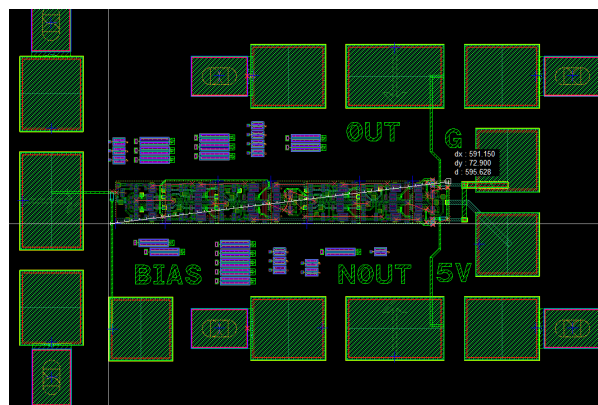


Рисунок 8. Топология делителя частоты

4. Заключение

В результате работы был разработан высокоскоростной делитель частоты на 4, выполненный на GaAs МИС по технологии 0.25 мкм. Данное устройство позволяет обеспечить полосу рабочих частот, в S-диапазоне (2-4 ГГц), так как задержка распространения Т-триггера получилась 260 пс. Стоит отметить, что драйверы, используемые в устройстве и построенные по идентичной схемотехнике, имеют полосу вплоть до 10 ГГц, но так как ведущую роль в работе Т-триггера играет задержка распространения, что приводит к выводу о необходимости уменьшения данного параметра в следующих версиях. Предварительные расчёты показали, что это возможно.

Цифровые примитивы, из которых составлен частотный делитель, можно использовать в других цифровых устройствах, выполненных на одном кристалле.

Список литературы

1. А. Курбанов, Б. В. Калинин “Разработка высокоскоростного цифрового десериалайзера на транзисторах E-типа, на гетероструктурах арсенида галлия” // Всероссийская научно-техническая конференция «Электроника и микроэлектроника СВЧ» - 2023 стр. 464 – 468.
2. K. Suyama, H. Suzuki, Y. Nemoto, S. Yamamura, M. Fukuta “A GaAs high-speed counter using current mode logic” // IEEE – 1983 – стр. 12 – 16.
3. C. P. Lee, S. J. Lee, D. Hou, D. J. Miller, R. J. Anderson, N. H. Sheng “High-speed frequency dividers using GaAs/GaAlAs high-electron-mobility transistors” // Electronics letter – 1984 – Vol. 20 - № 5 стр.217 – 219.
4. S. Fujita, M. Hirano, K. Maezawa, T. Mizutani “A high-speed frequency divider using n+-Ge gate AlGaAs/GaAs MISFET's” // IEEE electron device letters, Vol. EDL-8, № 5 – 1987, стр. 226 – 227.
5. T. Isubahi, Y. Yamauchi, O. Nakajima, K. Nagata, H. Ito “High-speed frequency dividers using self-aligned AlGaAs/GaAs heterojunction bipolar transistors” // IEEE electron device letters, Vol. EDL-8, № 5 – 1987, стр. 194 – 196.
6. S. Katsu, S. Nambu, S. Shimano, G. Kano “A GaAs monolithic frequency divider using source coupled FET logic” // IEEE electron device letters, Vol. EDL-3, № 8 – 1982, стр. 197 – 199.
7. K. Murata, T. Otsuji, M. Ohhata, M. Togashi, E. Sano, M. Suzuki “A novel high-speed latching operation flip-flop (HLO_FF) circuit and Its application to 19 Gb/s decision circuit using 0.2-um GaAs MESFET” // IEEE – 1994 – стр. 193 – 196.
8. M. Lee, Y. M. Kim “10 GHz ultra-high speed GaAs decision circuit design” // Gallium arsenide application symposium GAAS – 1996 – стр. 1 – 4.
9. K. Murata, T. Otsuji, E. Sano, M. Ohhata, M. Togashi, M. Suzuki “A novel high-speed latching operation flip-flop (HLO-FF) circuit and its application to 19-Gb/s decision circuit using a 0.2-um GaAs MESFET” // IEEE Journal of solid-state circuits, Vol. 30, № 10 – 1995, стр. 1101 – 1108.
10. J. Riishoj, P. Danielsen “Above 8 GHz static T-flip-flop operation using FT=22.9 GHz GaAs MESFETs” // Processing of the 22nd European microwave conference – 1992 – стр. 313 – 317.