

Профиль пограничных ловушек для высоковольтного МОП-транзистора n-типа

И.А. Старков^{1,2}

¹Санкт-Петербургский государственный электротехнический университет «ЛЭТИ»

²Санкт-Петербургский национальный исследовательский университет ИТМО

Аннотация: в работе при помощи метода зарядовой накачки исследуется профиль распределения пограничных ловушек по глубине диэлектрика (оксид кремния). Полученный концентрация пограничных дефектов имеет экспоненциально-убывающий характер распределения относительно расстояния от границы раздела кремний-оксид кремния. Для максимальной концентрации дефектов была установлена величина в $6 \times 10^{17} \text{эВ}^{-1} \text{см}^{-3}$ при удалении от поверхности диэлектрика на 0.3 нм.

Ключевые слова: полевой транзистор, зарядовая накачка, пограничные ловушки, дефекты, деградация.

1. Введение

Одним из существенных аспектов деградации полевых транзисторов является встраивание интерфейсных ловушек с концентрацией, неоднородно распределённой вдоль границы раздела кремний-оксид кремния (Si/SiO₂). Заряжаясь, эти ловушки возмущают электростатику транзистора, приводя к сдвигу порогового напряжения, и действуют как дополнительные центры рассеяния, снижая подвижность носителей, межэлектродную проводимость и ток стока. Ещё один важный аспект деградации связан с накоплением заряда в объёме оксида кремния [1,2,3]. Эти ловушки имеют пространственное и энергетическое распределение и, таким образом, имеют совершенно различные времена, характеризующие взаимодействие захваченных зарядов (путем туннелирования и/или термической активации) с Si. В зависимости от длительности этого характерного времени дефектные состояния условно могут быть разделены на пограничные и оксидные ловушки с плотностями N_{bt} и N_{ot} [4,5,6].

Метод зарядовой накачки (ЗН) является одним из наиболее эффективных методов измерения плотности поверхностных, оксидных и пограничных ловушек в МОП (металл-оксид-полупроводник) структурах. Он доказал свою надежность в качестве точного инструмента анализа характеристик интерфейсных состояний, таких как общее количество ловушек, пространственное распределение и распределение по энергии, а также изменение этих величин в зависимости от стрессового режима. Кроме того, для проведения экспериментальных работ требуется только базовый набор оборудования с тривиальной настройкой. Данная техника измерений была предметом многих теоретических и прикладных исследований. Эти работы привели к разработке многочисленных вариаций базового метода, например, для получения более подробной информации об энергетическом и пространственном распределении интерфейсных ловушек, генерируемых в ходе деградации транзистора. Метод зарядовой накачки был первоначально предложен Бруглером и Джесперсом в 1969г [7]. Они сообщили о наблюдении переменного тока подложки при подаче периодических импульсов на затвор МОП-транзистора при заземлении электродов истока и стока. Было установлено, что этот ток пропорционален площади затвора и частоте приложенных импульсов, который протекает в направлении противоположном току утечки истока/стока. Авторы показали, что ток возникает в

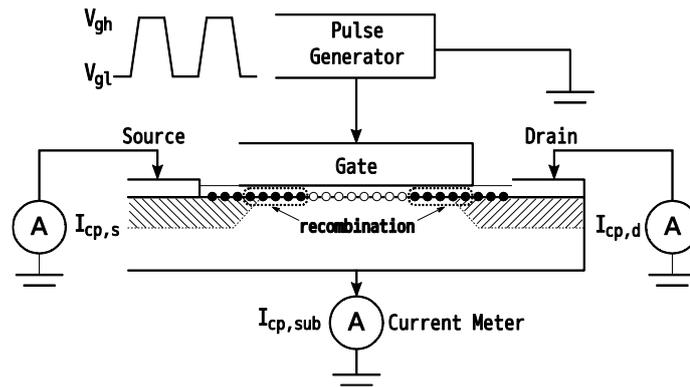


Рисунок 1. Базовая экспериментальная установка для проведения измерений методом зарядовой накачки.

результате рекомбинации неосновных и основных носителей заряда на ловушках, расположенных на границе раздела Si/SiO₂. Следовательно, этот метод можно использовать для измерения плотности интерфейсных и пограничных состояний в полевом транзисторе для оценки степени повреждения устройства. Главный прорыв в популяризации метода ЗН был сделан Гроесенекеном *и др.* в 1984 году [8]. Его научная группа предложила корректное объяснение физических процессов, стоящих за основой метода, а также продемонстрировала применение метода ЗН непосредственно к реальным МОП-структурам.

2. Основные принципы измерений при зарядовой накачке

Схема экспериментальной установки зарядовой накачки показана на рисунке 1. Исток и сток МОП-транзистора соединены друг с другом, на них подаётся небольшое напряжение обратное к напряжению затвора. Изменяющееся во времени напряжение затвора имеет достаточную амплитуду V_{gt} для того, чтобы поверхность под затвором приводилась в режим инверсии и аккумуляции. Форма импульсов может быть квадратной, треугольной, трапецевидной, синусоидальной или трёхуровневой. Также может варьироваться и частота импульса f . Ток зарядовой накачки измеряется с

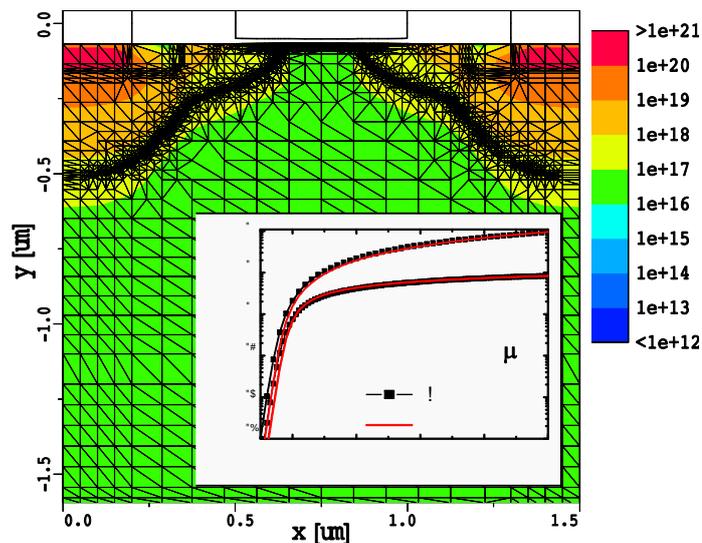


Рисунок 2. Топология n-канального МОП-транзистора с донорным профилем легирования, представленным цветовой картой. Вставка: сравнение экспериментальных кривых $I_{ds}-V_{ds}$ с расчётными.

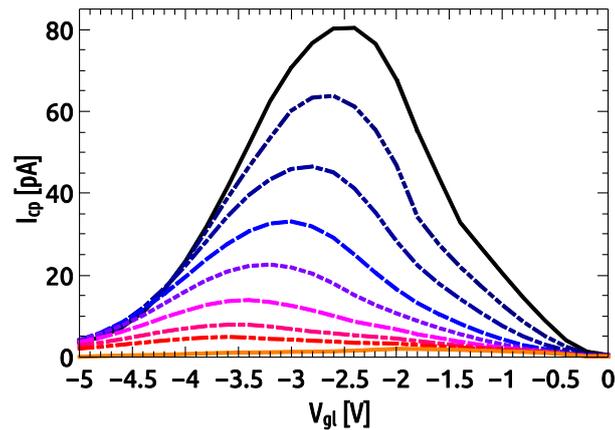


Рисунок 3. Ток зарядовой накачки полученный при использовании экспериментальной схеме на рисунке 1.

помощью амперметра на подложке, на соединении исток/сток или на истоке и стоке отдельно [9].

Исследования проводились для комплементарного МОП-транзистора n-типа, изготовленного по стандартному процессу 0.35мкм и рабочим напряжением 5В (рисунок 2). Ширина канала устройства $W=10\mu\text{м}$ была выбрана для получения устойчивого сигнала зарядовой накачки. Поскольку мы имеем дело с длинно-канальным устройством (длина затвора $L_g=0.5\mu\text{м}$), наихудшие условия деградации достигаются при $V_{gs}=0.4V_{ds}$ [10]. Поэтому транзистор подвергался стрессу при напряжениях $V_{ds}=6.5\text{В}$, $V_{gs}=2.6\text{В}$ и температуре $T=40^\circ\text{C}$ в течение 10^5с . Полученные зависимости тока зарядовой накачки I_{cp} приведены на рисунке 3.

Для детальной картины распределения N_{bt} можно использовать следующий подход: метод профилирования глубины распределения пограничных ловушек, разработанный Манеглией и др. [11]. Данный метод основан на исследованиях Хеймана и Варфилда [12] о постоянном времени туннелирования электронных волновых пакетов, проходящих энергетические барьеры с определенной высотой. Согласно [12], время, необходимое системе для пребывания в условиях высокой поверхностной электронной плотности, определяет глубину захвата ловушки. В случае тока зарядовой накачки, измеренный за цикл заряд в зависимости от глубины расположения x_{max} может быть рассчитан согласно Мангнелии [11] как

$$N_{bt}(x_{\text{max}}) = \frac{1}{qWfL_g} \frac{dI_{cp}(f)}{dx_{\text{max}}(f)}, \quad (1)$$

где q – элементарный электрический заряд. Рисунок 4 показывает изменение объемных плотностей пограничных ловушек, как функции расстояния от поверхности Si. Видно, что концентрация ловушек значительно увеличивается на границе Si/SiO₂ или вблизи нее.

3. Выводы

На основе измерений тока зарядовой накачки был получен профиль распределения пограничных ловушек по глубине. Измерения проводились на высоковольтном (номинальное напряжение 5В) полевом транзисторе n-типа. Была использована экспериментальная схема регистрации тока зарядовой накачки при подаче на контакт затвора импульсов напряжения постоянной амплитуды. Полученное распределение пограничных ловушек подтверждает результаты,

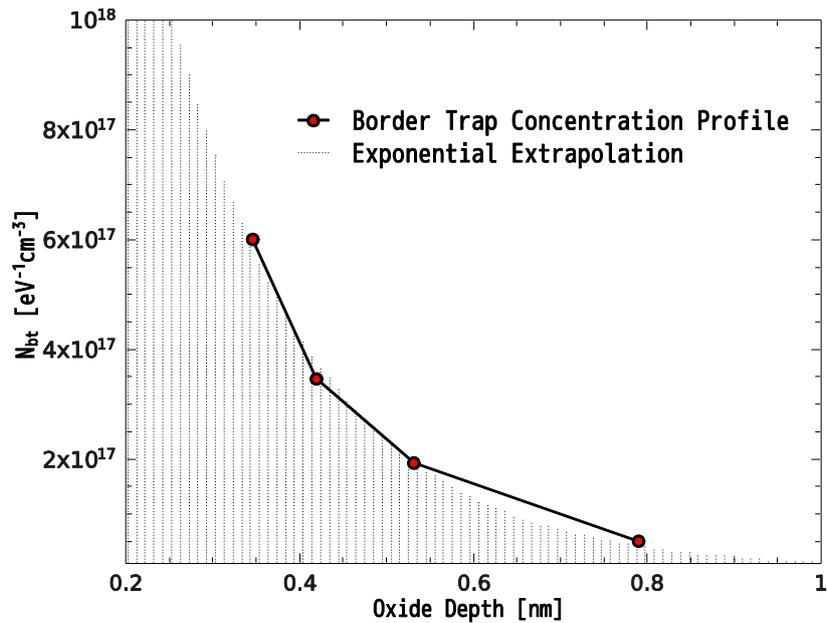


Рисунок 4. Распределение концентрации пограничных ловушек как функция расстояния от поверхности Si для 5В МОП-транзистора n-типа.

опубликованные в литературе, и показывает экспоненциально-убывающий характер концентрации дефектных состояний при удалении от границы раздела кремний-оксид кремния.

Список литературы

1. Woltjer R., Paulzen G. M. Modeling of oxide-charge generation during hot-carrier degradation of PMOSFET's //IEEE transactions on electron devices. – 1994. – V. 41. – №. 9. – P. 1639-1644.
2. Samanta S. K. et al. Stress voltage dependence HCI induced traps distribution in 60V LDNMOS //2009 IEEE International Integrated Reliability Workshop Final Report. – IEEE, 2009. – P. 120-123.
3. Starkov I. et al. Analysis of the threshold voltage turn-around effect in high-voltage n-MOSFETs due to hot-carrier stress //2012 IEEE International Reliability Physics Symposium (IRPS). – IEEE, 2012. – P. XT. 7.1-XT. 7.6.
4. Fleetwood D. M. et al. Unified model of hole trapping, 1/f noise, and thermally stimulated current in MOS devices //IEEE Transactions on Nuclear Science. – 2002. – V. 49. – №. 6. – P. 2674-2683.
5. Bravaix A. et al. Carrier injection efficiency for the reliability study of 3.5–1.2 nm thick gate-oxide CMOS technologies //Microelectronics Reliability. – 2003. – V. 43. – №. 8. – P. 1241-1246.
6. Starkov I. A., Starkov A. S. Investigation of the threshold voltage turn-around effect in long-channel n-MOSFETs due to hot-carrier stress //Microelectronics Reliability. – 2014. – V. 54. – №. 1. – P. 33-36.
7. Brugler J. S., Jespers P. G. A. Charge pumping in MOS devices //IEEE Transactions on Electron Devices. – 1969. – V. 16. – №. 3. – P. 297-302.
8. Groeseneken G. et al. A reliable approach to charge-pumping measurements in MOS transistors //IEEE Transactions on Electron Devices. – 1984. – V. 31. – №. 1. – P. 42-53.
9. Starkov I. et al. Charge-pumping extraction techniques for hot-carrier induced interface and oxide trap spatial distributions in MOSFETs //2012 19th IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits. – IEEE, 2012. – P. 1-6.
10. Starkov I. et al. Analysis of worst-case hot-carrier degradation conditions in the case of n-and p-channel high-voltage MOSFETs //2011 International Conference on Simulation of Semiconductor Processes and Devices. – IEEE, 2011. – P. 127-130.
11. Maneglia Y., Bauza D. Extraction of slow oxide trap concentration profiles in metal–oxide–semiconductor transistors using the charge pumping method //Journal of applied physics. – 1996. – V. 79. – №. 8. – P. 4187-4192.
12. Heiman F. P., Warfield G. The effect of oxide traps on the performance of MOS devices //IEEE Transactions on Electron Devices. – 1964. – T. 11. – №. 11. – P. 530-530.